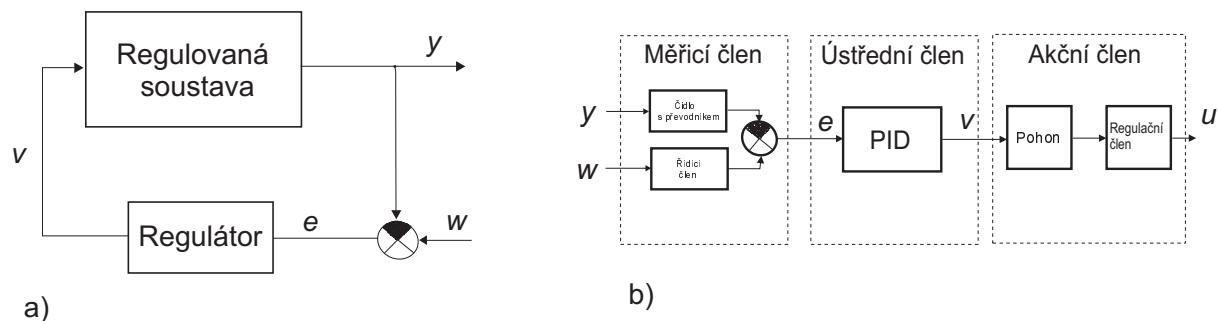


9. Elektronické regulátory

Regulátor tvoří s regulovanou soustavou uzavřený **regulační obvod** (obr. 9.1a). Jeho činnost spočívá v řízení **akční veličiny** takovým způsobem, aby byla regulovaná veličina udržována na žádané hodnotě. V širším pojetí je regulátor tvořen **měřicím členem**, **ústředním členem** a **akčním členem** (obr. 9.1b). V měřicím členu se **regulovaná veličina** $y(t)$ a **řídící veličina** $w(t)$ převedou na elektrický signál, a po jejich vzájemném odečtení vznikne **regulační odchylka** $e(t) = w(t) - y(t)$. Ústřední člen regulátoru tuto regulační odchylku zpracuje na veličinu $v(t)$, která působí přes akční člen na regulovanou soustavu jako **akční veličina** $u(t)$ tak, aby regulační odchylka byla minimalizována.

Automatizační systémy se vyrábějí v modulárním nebo v kompaktním provedení. Vyrobené **moduly** vytvářejí stavebnici, ze které lze rychle a bez větších problémů sestavovat žádané celky. Je výhodná i pro údržbu, neboť při poruše se vymění pouze vadný modul. **Kompaktní regulační systémy** se skládají z větších funkčních celků, tj. skupiny snímačů a převodníků na unifikovaný signál, dále několika typů kompaktních regulátorů s nastavitelnými funkcemi, obsahující všechny pomocné ovládací a signalizační obvody, a nakonec skupiny ovládačů, pohonů a regulačních orgánů.

Regulační vlastnosti regulátoru jsou až na některé výjimky určovány pouze **ústředním členem regulátoru** (dále regulátor). Podle druhu signálu dělíme regulátory na **analogové** a **číslicové**. Z hlediska regulačních vlastností se analogové regulátory dělí na **lineární** a **nelineární** a na **spojité** a **nespojité**.

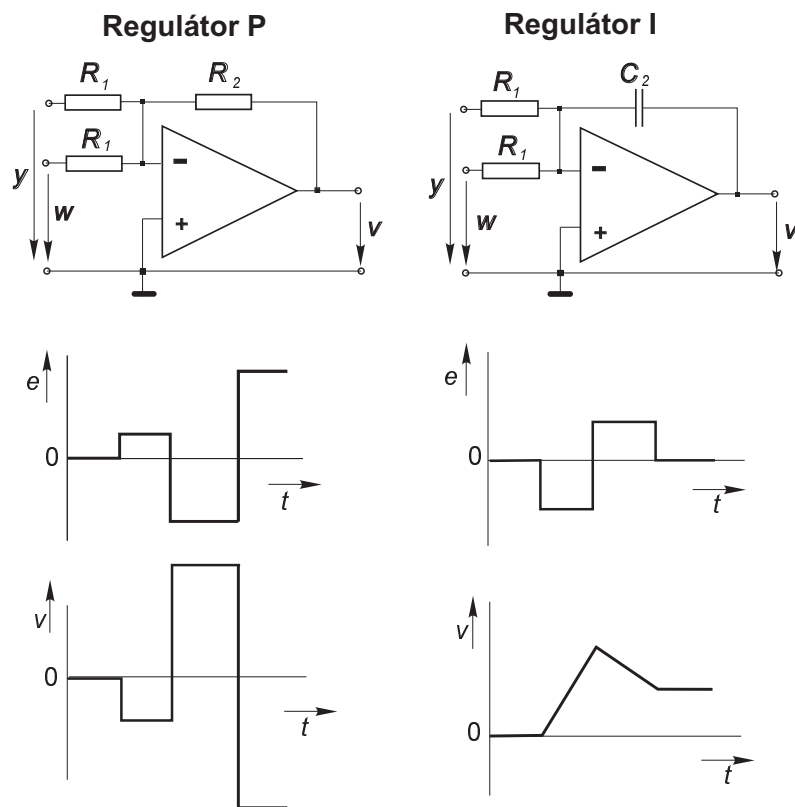


Obrázek 9.1: a) Schéma uzavřeného regulačního obvodu b) Schéma regulátoru

9.1 Spojité regulátory

U spojitých regulátorů se mění výstup v závislosti na vstupu spojitě. Naprostá většina vyráběných spojitých regulátorů jsou regulátory lineární, takže jejich přenosové vlastnosti mohou být popsány lineární diferenciální rovnicí či přenosem. Podle statických a dynamických vlastností rozlišujeme tři základní druhy lineárních regulátorů, a sice **proporcionální P**, **integrační I** a **derivační D**. Zapojení těchto regulátorů v analogové verzi odpovídají invertujícímu, integračnímu a derivačnímu zesilovači z kap. 8.

Zapojení regulátorů P a I se sčítacím vstupem pro vytvoření regulační odchylky z rozdílu regulované a řídicí veličiny uvádí obr. 9.2. Na obrázku je rovněž zobrazen příklad odezvy na vstupní signál. Pro získání regulační odchylky musíme zajistit, aby vstupní napětí měla opačnou polaritu. Regulátor D se samostatně nepoužívá. Častěji se používají kombinace PI, PD, PID, které dávají uspokojivé regulační výsledky. Nejjednodušším spo-



Obrázek 9.2: Proporcionální regulátor P a integrační regulátor I s odezvou na skokovou změnu regulační odchylky

jitým regulátorem je **regulátor P**, jehož výstupní napětí je v lineární oblasti v každém okamžiku úměrné velikosti regulační odchylky. Zapojení regulátoru P, včetně příkladu odezvy na vstupní signál, uvádí obr. 9.2. Tento regulátor je jednoduchý a rychlý, ale jeho přesnost je omezena tím, že regulační odchylku nemůže nikdy zcela vyregulovat, protože ji využívá ke svému vybuzení, tzn. že v ustáleném stavu vykazuje stále určitou statickou regulační odchylku. Výstupní napětí $v(t)$ regulátoru P je

$$v(t) = -K_p e(t) \quad (9.1)$$

kde $K_p = R_2/R_1$ je zesílení proporcionálního regulátoru.

V praxi se zesílení regulátoru P často vyjadřuje jako **pásmo proporcionality**, což je rozsah v němž se musí změnit regulovaná veličina, aby se přestavil regulační orgán z jedné krajní polohy do druhé. Je to v podstatě převrácená hodnota K_p vyjádřená v procentech

$$p.p. = \frac{1}{K_p} 100 \text{ [%]} \quad (9.2)$$

Regulátor I tuto nevýhodu odstraňuje. Tento regulátor pracuje tak, že se jeho výstupní napětí, které ovlivňuje přes akční člen regulovanou soustavu, mění určitým směrem tak dlouho, dokud je na vstupu jakákoliv regulační odchylka.

Zapojení regulátoru I uvádí obr. 9.2. Výstupní napětí regulátoru I je dáno

$$v(t) = -K_i \int_0^t e(t) dt + v(0) \quad (9.3)$$

kde $K_i = 1/R_1 C_2$ je integrační konstanta regulátoru a $v(0)$ je počáteční hodnota výstupního napětí regulátoru. Znaménko minus v obou případech souvisí s invertujícím zapojením operačního zesilovače.

Dobré vlastnosti regulátoru P (rychlost) a regulátoru I (přesnost) se kombinují v proporcionálně integračním regulátoru, neboli **regulátoru PI**. Zapojení regulátoru PI uvádí obr. 9.3. Výstupní napětí tohoto regulátoru se skládá z proporcionální složky a z integrační složky

$$v(t) = -[K_p e(t) + K_i \int_0^t e(t) dt] + v(0) \quad (9.4)$$

kde $K_p = R_2/R_1$ a integrační konstanta regulátoru je $K_i = 1/R_1 C_2$. Je patrné, že tato rovnice se může zapsat rovněž ve tvaru

$$v(t) = -K_p [e(t) + \frac{1}{T_i} \int_0^t e(t) dt] + v(0) \quad (9.5)$$

kde $T_i = R_2 C_2$ je časová konstanta integrační složky regulátoru. Z uvedeného vztahu je vidět, že změna konstanty K_p vždy ovlivní výslednou časovou konstantu integrační složky regulátoru. Vzájemný vliv jednotlivých složek regulátoru se nazývá **interakce**. Změnu konstanty T_i můžeme totiž realizovat jen změnou kapacity C_2 , protože změna odporu R_2 by současně ovlivnila konstantu K_p . Toto omezení lze odstranit použitím PI regulátoru tvořeného dvěma operačními zesilovači z nichž jeden zajišťuje proporcionální složku regulace a druhý integrační složku regulace.

Dalším používaným kombinovaným regulátorem je proporcionálně derivační regulátor, tedy **regulátor PD**. Praktické zapojení tohoto regulátoru uvádí obr. 9.3. Výstupní napětí regulátoru PD má proporcionální složku a derivační složku

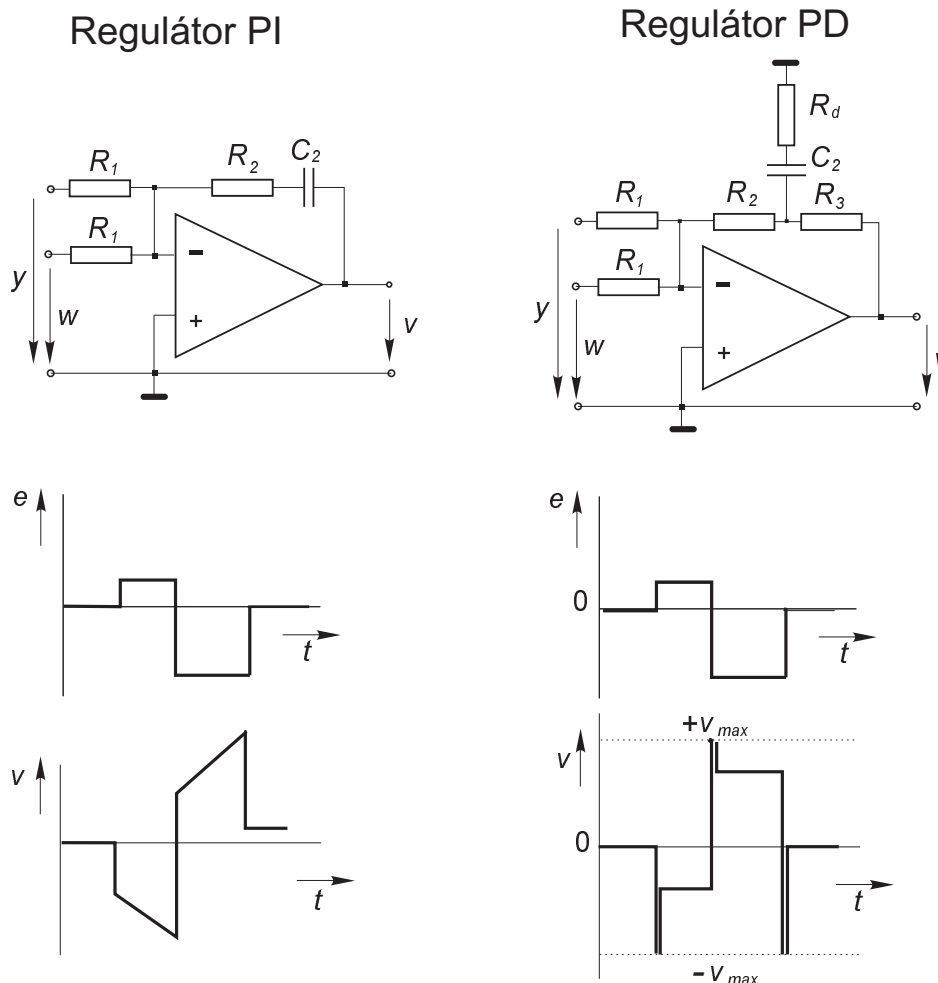
$$v(t) = -K_p [e(t) + T_d \frac{de(t)}{dt}] \quad (9.6)$$

kde $K_p = R_2/R_1$ a $T_d = (R_2 R_3 / (R_2 + R_3)) C_1$ je časová konstanta derivační složky regulátoru. Je zde opět interakce. Pro snížení náchylnosti ke kmitání na vysokých kmitočtech, ke kterému jsou regulátory s derivační složkou náchylné, se zapojuje do série s kondenzátorem C_2 tlumicí rezistor R_d . Odpor rezistoru R_d se volí co nejmenší, aby bylo zajištěno účinné potlačení kmitání. Protože je tento odpor o 1 až 2 řády menší než odpory rezistorů R_2 a R_3 , neovlivní platnost uvedených rovnic. Regulátor PD zkracuje dobu regulačního pochodu a zmenšuje možnost rozkmitání regulačního obvodu. Má podobně jako regulátor P v ustáleném stavu statickou regulační odchylku, která je dána velikostí proporcionální složky.

Nejdokonalejší regulaci zajišťuje kombinovaný proporcionálně integračně derivační regulátor, tedy **regulátor PID**. Vedle dobrých dynamických vlastností regulátoru PD zajišťuje i nulovou statickou regulační odchylku v ustáleném stavu. Výstupní napětí regulátoru PID má proporcionální složku, integrační složku a derivační složku

$$v(t) = -K_p [e(t) + \frac{1}{T_i} \int_0^t e(t) dt + T_d \frac{de(t)}{dt}] \quad (9.7)$$

kde je $K_p = R_2/R_1$, časová konstanta integrační složky je T_i a časová konstanta derivační složky je T_d . Jedná se opět o regulátor s interakcí. Pro odstranění interakce je nutno



Obrázek 9.3: PI a PD regulátor

použit PID regulátor uspořádaný např. podle obr. 9.4. Zesilovač Z_1 vytváří proporcionální složku regulace, Z_2 integrační složku regulace a Z_3 derivační složku regulace. Regulátor má přenosovou funkci [11]

$$A(j\omega) = -K_p \left(1 + \frac{1}{j\omega T_i}\right) (1 + j\omega T_d) \quad (9.8)$$

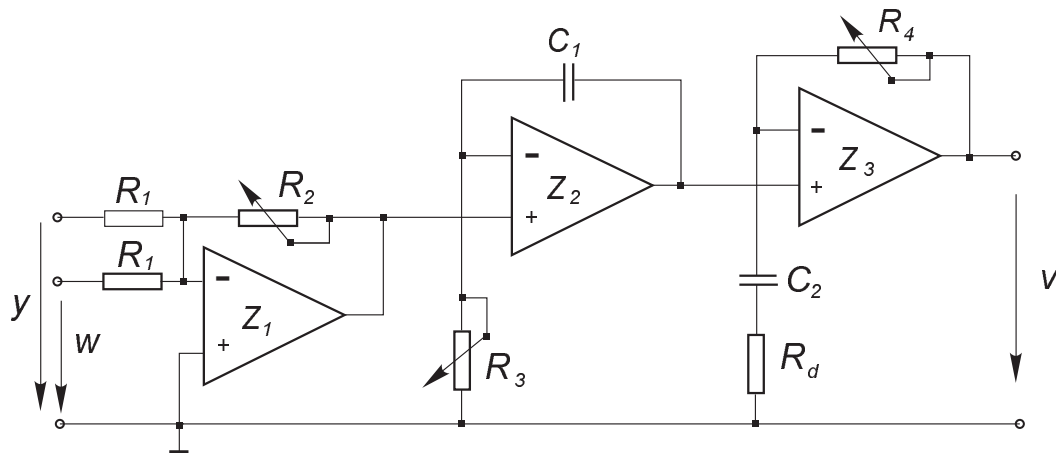
kde $K_p = R_2/R_1$, $T_i = R_3 C_1$ a $T_d = R_4 C_2$. Tlumič odpor R_d se u regulátorů PID volí podle stejných zásad jako u regulátorů PD. Před derivační člen se zapojuje dolní propust mající za úkol **omezit náhodné poruchy** impulzního charakteru, které by mohly derivační člen saturovat. Většinou to bývá dvojitý pasivní integrační RC člen. Příklad zapojení takového proporcionálně derivačního členu s dolní propustí na vstupu uvádí obr. 9.5. Výstupní napětí tohoto regulátoru je [18]

$$v(t) = -K_p \left(e(t) + T_d \frac{de(t)}{dt}\right) (1 - e^{-\frac{t}{T}}) \quad (9.9)$$

kde $K_p = R_2/R_1$, $T_d = R_2 C_2$ a $T = R_1 C_1$. Obvod má derivační charakter za předpokladu $T_d \gg T$.

Blokové schéma **regulátoru PID bez interakce** uvádí obr. 9.6 [10]. V praxi je často nutno přepnout automatickou regulaci na ruční a naopak. Proto skutečný regulátor

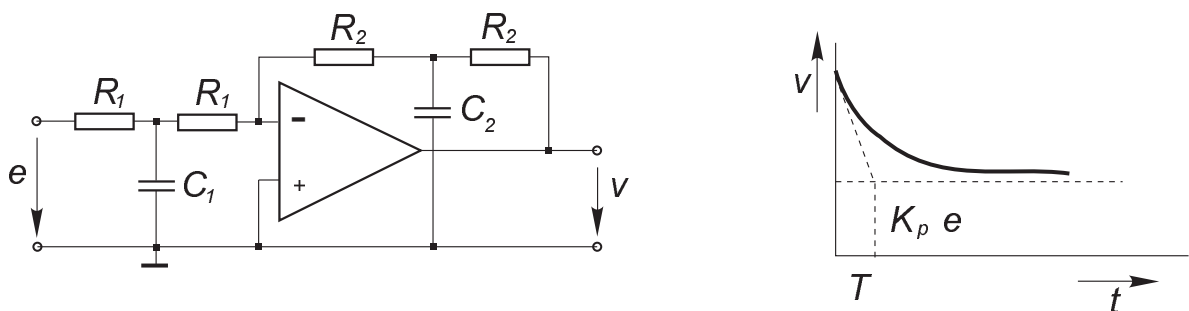
Regulátor PID



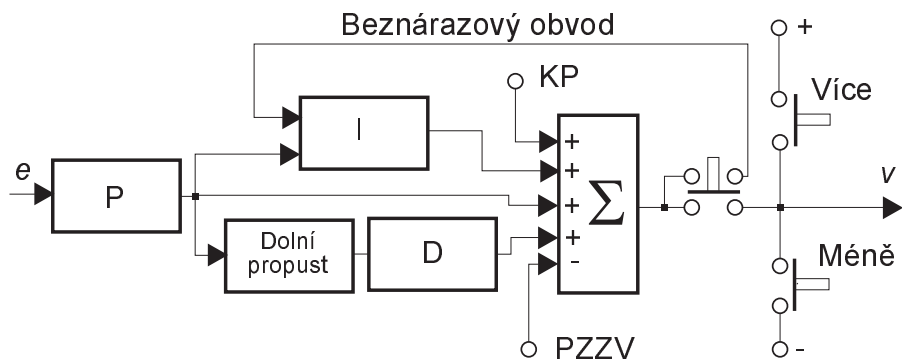
Obrázek 9.4: Regulátor PID bez interakce

použitelný v praxi musí obsahovat **blok ručního ovládní**. Přepnutím na ruční ovládní se odpojí výstup součtového členu od výstupu regulátoru a tlačítka "více" nebo "méně" se připojuje na výstup regulátoru buď kladné nebo záporné napětí, které ovládá pohon regulačního členu. Po dobu ručního řízení však stále působí na vstupu regulátoru regulační odchylka, která vyvolává napětí na výstupu součtového členu. Potom se v okamžiku přepnutí regulátoru z ručního na automatický provoz objeví na vstupu akčního členu skoková změna napětí, která obvykle zanechá do regulačního obvodu silnou poruchu. Proto je nutno zajistit, aby při přepnutí z ručního na automatický provoz bylo na výstupu součtového členu nulové napětí. Tuto funkci zajišťuje **obvod beznárazového přepnutí**. Přepnutím regulátoru na ruční ovládní se zároveň připojí výstup součtového zesilovače jako záporná zpětná vazba na vstup integračního členu přes malý odpor, který zajistí malou integrační konstantu. Tato zpětná vazba zajistí prakticky vynulování výstupního napětí součtového členu.

Na sumační člen ústředního členu regulátoru se též přivádí signál **KP**, použitelný např. pro nastavení klidové polohy ventilu a signál pevné záporné zpětné vazby **PZZV** (obr. 9.6). Ventil je otevřen v poloze určené velikostí signálu KP a odtud mění svoji polohu podle signálu $v(t)$ z ústředního členu regulátoru. Pevná záporná zpětná vazba se užívá pro úpravu přenosu tak, aby bylo dosaženo plné shody mezi výstupem z ústředního členu regulátoru $v(t)$ a akční veličinou $u(t)$.



Obrázek 9.5: PD člen se zpožděním prvního řádu a jeho přechodová charakteristika



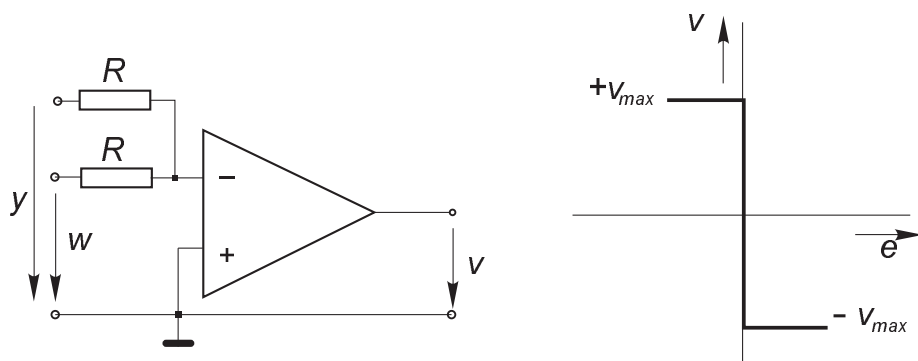
Obrázek 9.6: Blokové schéma regulátoru PID s obvodem beznárazového přepínání

9.2 Nespojité regulátory

Nespojitá regulace je v porovnání se spojitou regulací levnější a proto nachází stále širší uplatnění. Regulační obvod při této regulaci obsahuje členy, jejichž výstup se při spojitě změně vstupu mění nespojitě. Akční člen takového regulačního obvodu obvykle může nabývat dvou nebo tří stavů. Širokou oblast nespojitých regulátorů lze rozdělit podle různých hledisek. Budeme je dále dělit podle jejich funkce a to na **polohové** a **impulsní**.

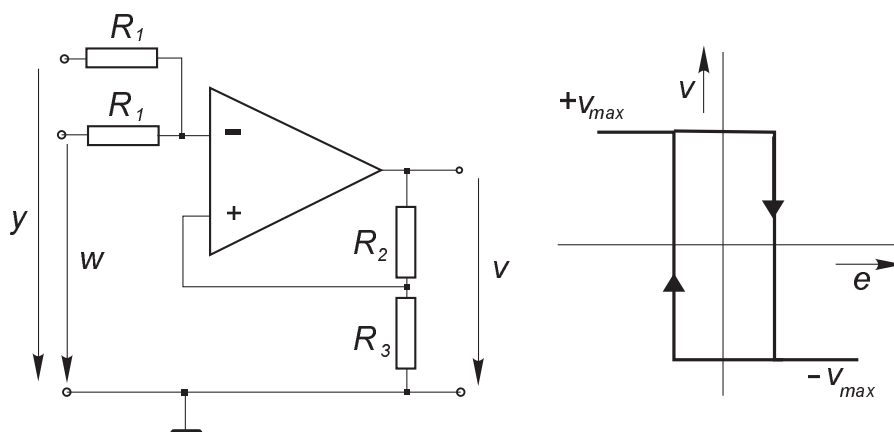
Nejjednodušší jsou **polohové regulátory bez zpětné vazby**. Výstup regulátoru je pouze kombinační funkcí vstupních signálů a neobsahuje žádné vnitřní zpětné vazby. Příkladem takového regulátoru je dvupolohový regulátor s operačním zesilovačem podle obr. 9.7. Při regulační odchylce blízké nule je regulátor velmi labilní a i nepatrné poruchy mohou způsobit, že jeho výstup přechází z jednoho stavu do druhého.

Uvedený nedostatek odstraňuje zavedení kladné zpětné vazby podle obr. 9.8. Tento obvod označujeme jako **dvupolohový regulátor s hysterezí** (viz též Schmittův klopný obvod v kap. 8.9.1). Dvupolohové regulátory se vyrábějí nejčastěji jako elektrické a používají se ke spínání elektromagnetických ventilů, elektrického topení aj.



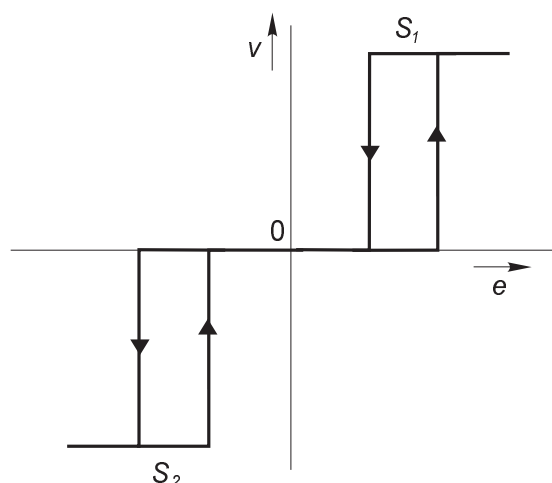
Obrázek 9.7: Dvupolohový regulátor s ideální převodní charakteristikou

Třípolohové regulátory se nejčastěji používají k ovládání ventilů s elektromotory spínáním dvou spínacích kontaktů, které jsme v charakteristice třípolohového regulátoru označili S_1 a S_2 (obr. 9.9). Takový regulátor spouští motor v jednom směru, vypíná motor a spouští motor v opačném směru. Vyrábějí se i vícepolohové regulátory až s 5 spínacími kontakty. Teoreticky lze každý vícepolohový regulátor považovat z hlediska každého spínacího kontaktu jako dvupolohový. Impulsní nespojité regulátory obsahují



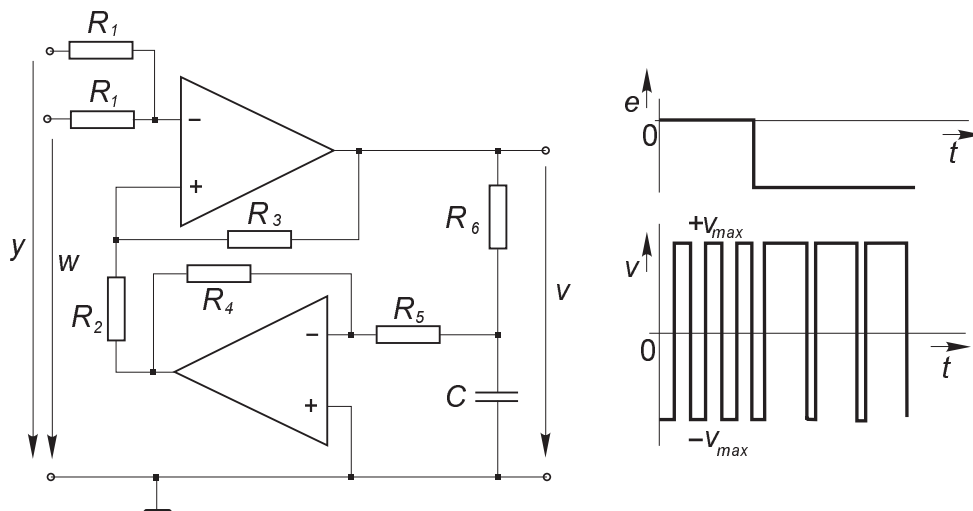
Obrázek 9.8: Dvoupolohový regulátor s hysterezí s ideální převodní charakteristikou

vždy zpožďující zápornou zpětnou vazbu uvnitř regulátoru. V této zpětné vazbě je zapojena statická soustava 1. řádu obvykle s nastavitelným zesílením i časovou konstantou. Doplňme-li např. dvoupolohový regulátor s hysterezí zápornou zpětnou vazbou se zpožďovacím členem RC podle obr. 9.10. Vznikne tak **impulsní nespojitý regulátor**, jehož výstupní signál tvoří impulsy, jejichž šířka je úměrná vstupní regulační odchylce. Tudíž odezva je proporcionální a jedná se o regulátor typu P. Výstupní veličinou nespojitých regulátorů kromě šířky impulsů může být jejich střída (tj. poměr šířky impulsu k době jeho periody), nebo kmitočet impulsů (viz převodníky napětí-kmitočet v kap. 8.9.3). Impulsní regulátor může být i třípolohový, pak spínače S_1 a S_2 (obr. 9.9) nejsou spínány trvale, ale impulsově. Jestliže doplníme spojitý regulátor PID kladnou zpětnou vazbou, bude pracovat jako **dvoupolohový regulátor s pulsním výstupem** (obr. 9.10). Podobně lze získat impulsní nespojitý regulátor P, PI nebo PD.



Obrázek 9.9: Charakteristika třípolohového regulátoru

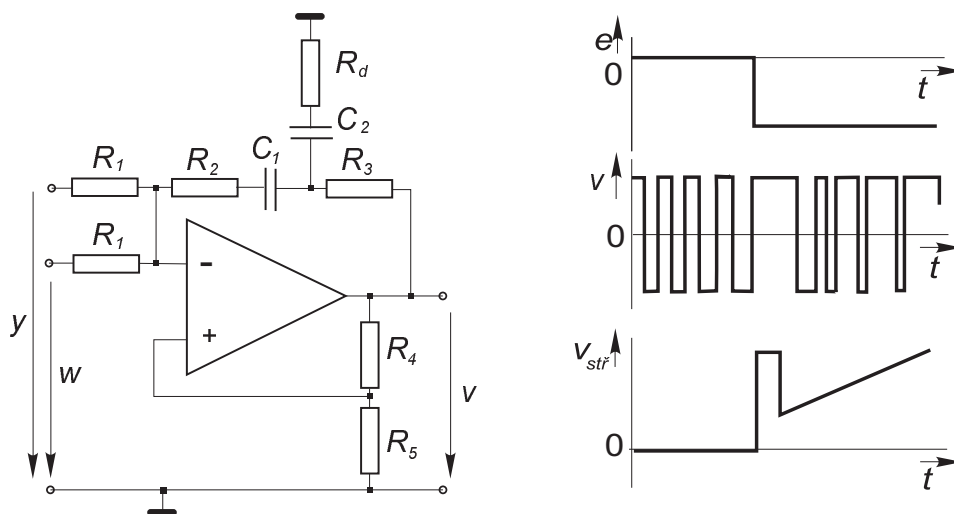
Impulsní regulátory PD se používají v regulačních obvodech, kde je požadováno malé kolísání regulované veličiny. Impulsní regulátory PI jsou třípolohové regulátory používané pro soustavy, u kterých je akční člen, např. ventil, ovládaný servomotorem. Základem takového regulátoru je PD regulátor se zpožďující zápornou zpětnou vazbou. Do celkového přenosu je však nutno zahrnout přenos servomotoru, který je integrační,



Obrázek 9.10: Dvupolohový regulátor s šířkově modulovaným pulsním výstupem

neboť poloha např. ventilu je úměrná integrálu pulsů přicházejících z ústředního členu regulátoru. Celkový přenos regulátoru se zpožďující zpětnou vazbou a servomotorem má tedy charakter PI. Třípolohový regulátor typu P se používá k regulaci soustav s poměrně dlouhou dobou průtahu, nebo s dopravním zpožděním.

9.3 Číslicové regulátory



Obrázek 9.11: Dvupolohový regulátor PID se šířkově modulovaným pulsním výstupem

Ústřední člen regulátoru je v tomto případě tvořen **mikropočítačem** a zpracovává všechny veličiny v číslicovém tvaru. Proto je nutné veličiny, které jsou měřeny spojitě (analogově) převést na číslicový (digitální) tvar. K tomu slouží **analogově číslicový převodník**, který je zpravidla součástí číslicového regulátoru. Funkce číslicového regulátoru je určena jeho **algoritmem** (programem). Vstupními veličinami jsou regulovaná a řídicí veličina, popř. u vlečné, kaskádové nebo programové regulace ještě některé další veličiny.

Počítač (regulátor) pracuje tak, že tyto veličiny vzorkuje, převede na číslicový tvar

a uloží do paměti, odkud je během výpočtu podle potřeby vybírá. Pokud se proto tyto veličiny během výpočtu mění, jejich změna se uplatní až během dalšího **výpočetního cyklu**. **Perioda vzorkování** musí být proto delší než perioda výpočetního cyklu regulační funkce. Vypočtené hodnoty výstupního signálu se **číslicově analogovým převodníkem** převedou na analogový signál, který je nespojitý (mění se po skocích). Proto perioda vzorkování musí být tak krátká, aby změna vstupního signálu byla dostatečně malá. Empiricky se bere 20 až 30 vzorků za dobu, během které přechodová odezva dosáhne 95 % ustálené hodnoty (tj. za dobu odpovídající trojnásobku časové konstanty). To znamená, že vhodná doba vzorkování $T_v = 0,15$ až $0,1$ časové konstanty.

Rovnice číslicového regulátoru odpovídá rovnici analogového regulátoru s tím, že integrace je nahrazena součtem (sumací) a derivace regulační odchylky rozdílem (diferencí). Proto se mění název integračního regulátoru na **sumační** a derivačního regulátoru na **diferenční**. Rovnice regulátoru P je

$$v_n = K_p e_n \quad (9.10)$$

kde K_p je zesílení regulátoru, e_n je hodnota regulační odchylky v n-tém vzorkovacím cyklu a y_n je hodnota výstupního signálu regulátoru v témže cyklu. Rovnice regulátoru I (**sumační číslicový regulátor**) je

$$v_n = \frac{T_v}{T_i} e_n + \frac{T_v}{T_i} \sum_{i=1}^{n-1} e_i \quad (9.11)$$

kde T_v je perioda vzorkování a T_i je integrační časová konstanta. Druhý člen vyjadřuje součet velikosti změn výstupního signálu v_n z předchozích výpočetních cyklů od počátku regulace. Rovnice regulátoru D (**diferenční číslicový regulátor**) je

$$v_n = \frac{T_d}{T_v} (e_n - e_{n-1}) \quad (9.12)$$







kde T_d je derivační časová konstanta a $e_n - 1$ je velikost regulační odchylky z předchozího výpočetního cyklu. Rovnice regulátoru PID (přesněji: **proporcionálně sumačně diferenční číslicový regulátor** - PSD) je

$$v_n = K_p e_n + \frac{T_v}{T_i} e_n + \frac{T_d}{T_v} (e_n - e_{n-1}) + \frac{T_v}{T_i} \sum_{i=0}^{n-1} e_i \quad (9.13)$$

Vzhledem k tomu, že algoritmus regulátoru není nutné vytvářet spojováním jednotlivých dílčích regulátorů, nýbrž pouze úpravou programu regulátoru, lze u číslicových regulátorů využívat i složitější algoritmy. PID algoritmus moderního regulátoru bývá doplněn o fuzzy logickou funkci, pomocí níž lze dosáhnout lepšího chování regulátoru jak při náběhu regulace, kdy zaručuje minimální překmit, tak i při vyregulovaném stavu. **Fuzzy logika** rovněž zvyšuje spolehlivost a bezproblémový chod přístroje v nejrozličnějších aplikacích, např. u průmyslových pecí, v tepelné, chladicí a klimatizační technice a všeobecně v přístrojových zařízeních v průmyslu a laboratořích.

9.4 Použití a parametry průmyslových regulátorů

Vhodnost použití regulátorů podle typu regulovaného procesu uvádí tab. 9.1. Vhodnost použití regulátorů pro základní fyzikální veličiny uvádí tab. 9.2 [27]. Konstanty PID

Proces	Typ regulátoru			
	P	PD	PI	PID
 Dopravní zpoždění	Nevhodný	Nevhodný	Reguluje Zvládne poruchu	Nevhodný
 Dopravní zpoždění + soustava 1. řádu	Nevhodný	Nevhodný	Mírně horší než PID	Reguluje Zvládne poruchu
 Dopravní zpoždění + soustava 2. řádu	Nevhodný	Slabý	Horší než PID	Reguluje Zvládne poruchu
 Soustava 1. řádu + velmi krátké dopravní zpožd.	Reguluje	Reguluje se zpožděním	Zvládne poruchu	Zvládne poruchu se zpožděním
 Soustava vyššího řádu	Nevhodný	Nevhodný	Mírně horší než PID	Reguluje Zvládne poruchu
 Bez saturace se zpožděním	Reguluje (bez zpoždění)	Reguluje	Zvládne poruchu (bez zpoždění)	Zvládne poruchu

Tabulka 9.1: Výběr vhodného typu regulátoru

regulátorů jsou u běžných průmyslových typů nastavitelné zhruba v rozsahu $0,1 \leq K_p \leq 1000$ ($999,9\% \leq$ pásmo proporcionality $\leq 0,1\%$), $1 \leq T_i \leq 6000$ [s] a $1 \leq T_d \leq 1200$ [s]. Průmyslový regulátor mívá k dispozici tři druhy výstupů: analogový, třípolohový a impulsní (šířkově modulovaný).

Parametry průmyslových PID regulátorů uvádí tab. 9.3. Z této tabulky je zřejmé, že kromě ústředního členu, jehož vlastnosti jsou pro činnost regulátoru rozhodující se při konstrukci regulátoru uplatňují další potřebné členy (elektronické obvody). Průmyslové regulátory jsou vybaveny univerzálním vstupem, na který lze připojit jeden z celé řady termočlánků (J, K, T, E aj.) nebo odporových čidel Pt 100 a dále napěťové unifikované signály 0 až 5 V, 0 až 10 V, 0(4) až 20 mA a další. Pro snadné a rychlé použití v různých aplikacích jsou regulátory vybavené funkcí pro dynamické automatické ladění PID parametrů.

Většina průmyslových regulátorů je vybavena některým ze sériových rozhraní RS 232, RS 422, RS 485, případně všemi najednou.

9.5 Obvodová realizace číslicových regulátorů

Pro realizaci ústředních členů číslicových regulátorů se užívají **jednočipové mikropočítače**. Jako zástupce 8bitových mikropočítačů stručně popíšeme řadu MCS-51 a jako zástupce 16bitových mikropočítačů řadu MCS-96. Obě řady vyrábí firma Intel.

Veličina	Typ regulátoru			
	P	PD	PI	PID
Teplota	Omezené možnosti	Přijatelný	Nejvhodnější	
Tlak	Přijatelný pokud proces nemá značné zpoždění	Nevhodný	Nejvhodnější	
Průtok	Méně vhodný	Nevhodný	Přijatelný	Pro tuto veličinu není nutný

Tabulka 9.2: Vhodnost regulátorů pro regulaci základních fyzikálních veličin

Vstupy	1) Termočlánek J, U, L, K, S, R, B, N, T 2) Odporový teploměr Pt100 3) Analogový vstup 0/2 - 10 V, vstupní odpor 1M Ω 4) Analogový vstup 0/4 - 20 mA, vstupní odpor 50 Ω
Režimy	1) Ruční 2) PID 3) PID se samonastavením
Výstupy	1) Napětí - kmitočet 24 V 2) Relé spínající 220V/3A odporová zátěž 3) Analogový výstup 0/4 - 20 mA 4) Analogový výstup 0/2 - 10 V
Komunikační schopnosti	RS 232, RS 422/485
Regulace	Konstantní hodnota, sledování, poměr, kaskáda a pod.
Žádaná hodnota	Interní, externí předvolba (rampa, obdélník)

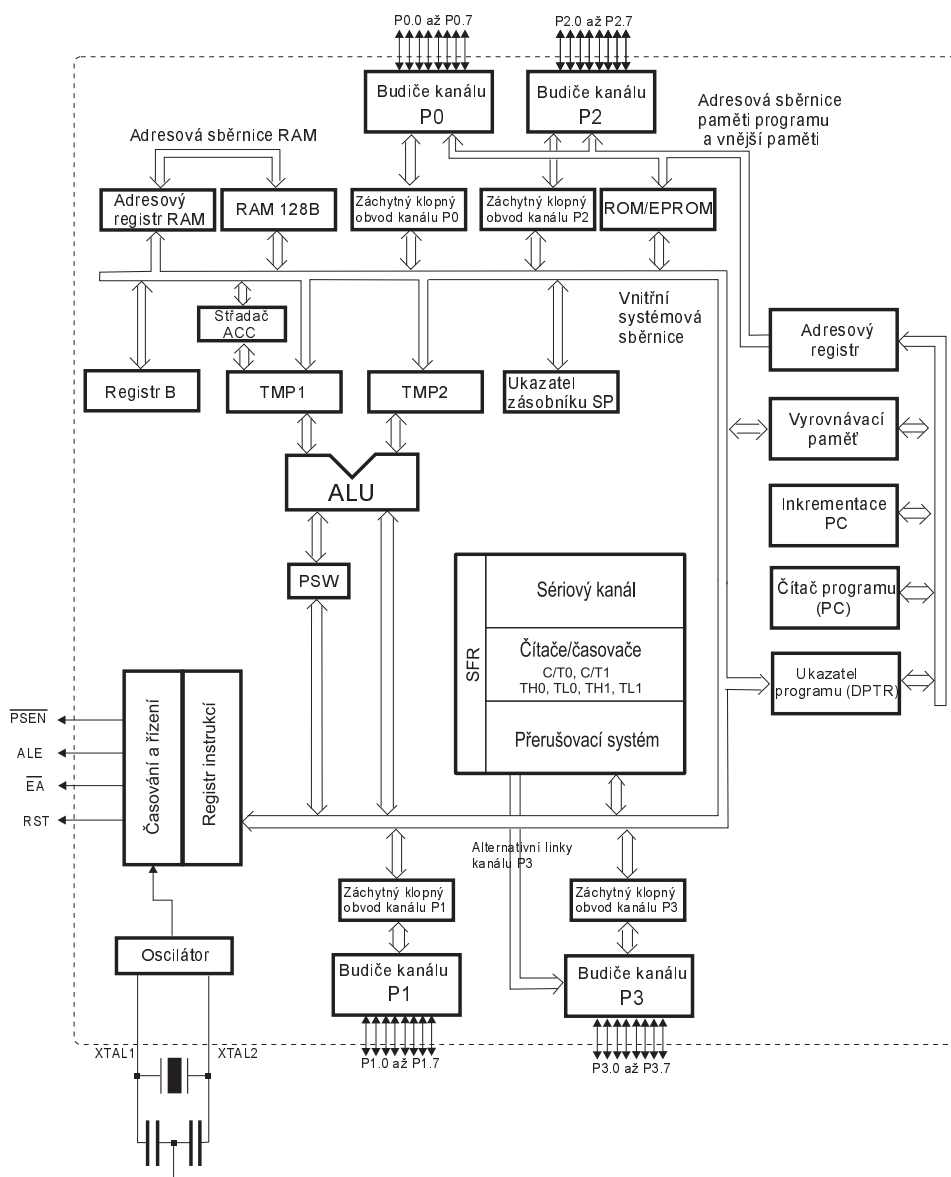
Tabulka 9.3: Typické vlastnosti průmyslových PID regulátorů

9.5.1 Mikropočítače řady MCS-51

Architekturu mikropočítačů řady MCS-51 (microcomputer system) uvádí obr. 9.12. Jedná se o 8bitové jednočipové mikropočítače s oddělenou programovou a datovou pamětí, při čemž formát dat a instrukcí je totožný a přenáší se po stejné sběrnici.

Jádro procesoru - jádrem je procesorový blok CPU (central processing unit), tvořený aritmeticko-logickou jednotkou ALU (arithmetic and logic unit) a blokem speciálních funkčních registrů SFR (special functions registers). CPU je vnitřní společnou sběrnici propojena s pamětí programu ROM nebo EPROM o kapacitě 4 KB (u některých typů není), s pamětí RAM o kapacitě 128 bytů a prostřednictvím registrů P0, P1, P2 a P3 se čtyřmi vstupně/výstupními branami P0 až P3, které zajišťují styk mikropočítače s vnějšími periferiemi.

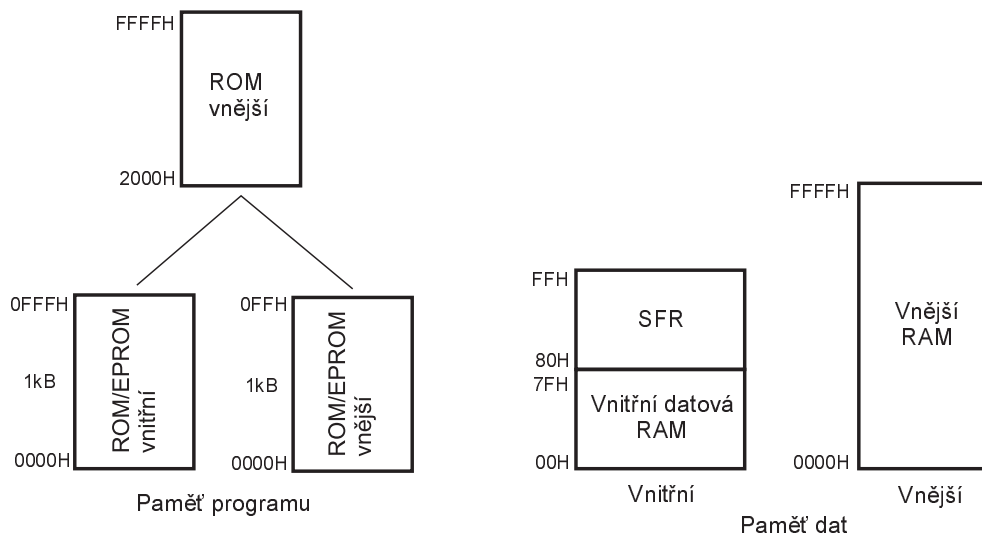
Mapa paměti a vnitřní registry - paměťový prostor má velikost 64 KB a skládá



Obrázek 9.12: Blokové schéma mikropočítače 8051

se z vnitřní a vnější části paměti odděleně pro program i pro data, obr. 9.13. Mikropočítač pracuje ve třech samostatných paměťových prostorech: - 64 KB paměti pro program; - 128B (RWM) + 128B (SFR) vnitřní paměti pro data; - 64 KB vnější paměti pro data. Stručně si popíšeme význam těch řídicích a stavových registrů, které mají přímou souvislost s činností ALU. Střadač ACC (accumulator) slouží jako hlavní registr pro styk s ALU a zajišťuje přenos operandů a výsledků. B registr se užívá při matematických operacích násobení a dělení jako pomocný střadač, pro ostatní instrukce může být použit jako kterýkoliv jiný registr zásobníkové paměti.

Ukazatel zásobníkové paměti SP (stack pointer) obsahuje osmibitovou adresu poslední obsazené paměťové buňky zásobníkové paměti. Po inicializaci obvodu signálem RESET je nastaven na hodnotu 07H (tj. data budou ukládána od adresy 08H - kde H značí šestnáctkovou soustavu). Ukazatel dat DPTR (data pointer) je dvoubajtový a obsahuje



Obrázek 9.13: Mapa paměťového prostoru mikropočítače 8051

16bitovou adresu dat. Může být využíván jako 16bitový registr nebo jako dva nezávislé 8bitové registry. Čítač instrukcí PC (program counter) je 16bitový čítač, který není přímo programově přístupný. Nepřímo je možno měnit jeho obsah tak, že budoucí obsah PC umístí programátor na vrchol zásobníkové paměti (přímým zápisem nebo instrukcí PUSH) a ten instrukcí RET přesune do PC.

Generátor hodin - kmitočet oscilátoru se může pohybovat od 4 MHz do 12 MHz. Může být určen krystalem připojeným ke vstupům XTAL1, XTAL2, nebo z výstupu jiného generátoru kmitočtu připojeného ke vstupu XTAL1 při nezapojeném (nebo uzemněném) vstupu XTAL2.

Vstupní/výstupní brány - mikropočítač obsahuje 4 osmibitové obousměrné V/V brány (porty). Každá brána je tvořena záchytnými klopnými obvody (latch), tj. registry P0 až P3 v paměťovém prostoru SFR, výstupními budiči a vstupní vyrovnávací paměť (buffer). Jednotlivé brány je možno využít jako 32 samostatně adresovatelných V/V vodičů (bitů), nebo jako 4 paralelní 8bitové V/V brány adresovatelné jako port 0, 1, 2 a 3. Brány P0, P2 a P3 mají některé další funkce:

- brána 0 slouží jako multiplexovaná datová a adresová sběrnice, sloužící pro přenos nižších 8 bitů adresy vnější paměti nebo 8bitového datového slova,
- brána 2 přenáší vyšších 8 bitů adresy vnější paměti, je-li adresa 16bitová,
- všechny vývody brány 3 vykonávají různé funkce a slouží např. pro generování/příjem řídicích/stavových signálů a pro zajištění činnosti externích přerušovacích vstupů, vstupů čítačů času/událostí, přijímače/vysílače sériového V/V kanálu a pro generování řídicích signálů v rámci komunikace s vnější pamětí.

Čítače/časovače - mikropočítač obsahuje dva samostatné 16bitové čítače/časovače označené C/T0 a C/T1. Rozdíl mezi čítačem a časovačem je v tom, že čítače čítají vnější události a časovače čítají vnitřní hodinové signály procesoru. Čítač C/T1 je současně využíván pro generování časových impulsů pro stanovení rychlosti přenosu sériového kanálu. Obsah jednotlivých čítačů je přístupný prostřednictvím přímo adresovatelných

registru TH0, TL0 a TH1, TL1 (pro vyšší a nižší byte příslušného čítače). Čítače lze naprogramovat do různých módů (např. čítač s předřazenou děličkou 32, automatické obnovení počátečního nastavení při přetečení, rozdělení na dva 8bitové čítače aj.).

Sériový V/V kanál - je to plně duplexní kanál, který může nezávisle vysílat a přijímat data. Umožňuje komunikaci jak v synchronním režimu, tak i v asynchronním režimu. Tím byla výrazně usnadněna komunikace s nadřazeným počítačem např. typu PC při použití vnějšího integrovaného obvodu obvodu zajišťujícího převod úrovní TTL na úroveň rozhraní RS232C. Procesor není vybaven příznaky indikující chyby při přenosu dat, které jsou obvyklé u specializovaných obvodů.

9.5.2 Mikropočítače řady MCS-96

Architekturu mikropočítačů řady MCS-96 uvádí obr. 9.14.

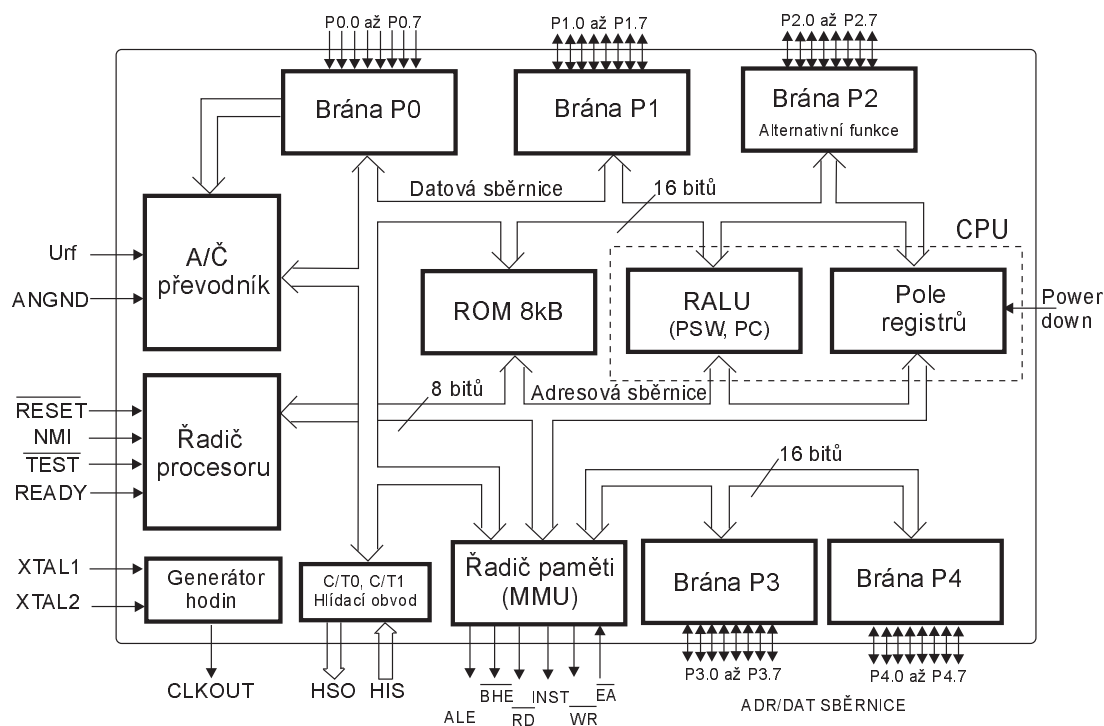
Jádro procesoru - jádrem je procesorový blok CPU, pracující s vnitřní 16bitovou datovou sběrnicí a vnitřní 8bitovou adresovou sběrnicí. Pro spojení mimo CPU je používána multiplexovaná vnější 16bitová datová a adresová sběrnice. Přenos údajů (adres a dat) zajišťuje blok řadiče paměti (MMU - memory management unit). Aritmeticko-logická jednotka RALU je založena na 17bitové sčítačce a zahrnuje i několik registrů, včetně čítače instrukcí PC.

Mapa paměti - adresovatelný paměťový prostor mikropočítače je 64 KB a je téměř celý využitelný podle úvahy uživatele jak pro program, tak pro data, neboť oproti předchozím mikropočítačům Intel není definováno výrobcem dělení paměti na část určenou pro program a na část určenou pro data. Mapa paměti je znázorněna na obr. 9.15. Adresový prostor 0H až 0FFH zabírají speciální funkční registry (SFR na adresách 0H až 19H) a soubor 232 vnitřních paměťových registrů (Register File na adresách 1AH až 0FFH). Protože každý registr z této oblasti může být využit pro RALU operace, je možno toto pole registrů chápat jako 232 8bitových, nebo 116 16bitových, nebo 58 32bitových střadačů. Tato nultá stránka (0H až 0FFH) je vyhrazena pro práci s vývojovými prostředky firmy Intel a proto se nedoporučuje uvedené adresy využívat pro běžnou činnost. Na adresu 0000H je totiž předáno řízení v případě vyvolání nemaskovaného přerušování NMI (non-maskable interrupt), které je určeno zejména pro potřeby firemních vývojových prostředků.

Generátor hodin - kmitočet oscilátoru se může pohybovat od 6 MHz do 12 MHz. Může být určen krystalem připojeným ke vstupům XTAL1, XTAL2, nebo z výstupu jiného generátoru kmitočtu připojeného ke vstupu XTAL1 při nezapojeném vstupu XTAL2.

Vstupní/výstupní brány - brány (porty) P0 až P4 jsou 8bitové a mají rozličné funkce. Brána P0 je jen vstupní a může být převedena do režimu multiplexních analogových vstupů pro převodník ADC. Brány P1 a P2 jsou kvaziobousměrné. P2 má však na šesti vývodech i alternativní funkce, jako jsou bitové vstupy a výstupy pro sériovou komunikaci, čítače, šířkově modulovaný pulsní výstup (PWM - puls width modulation output) a přerušování. Brány P3 a P4 mají dvojí funkci. Mohou být využity buď jako prosté obousměrné, nebo jako vývody multiplexované vnější 16bitové adresové a datové sběrnice.

Hlídací čítač a čítače/časovače - hlídací čítač WDG (watchdog) je programem ovládaný 16bitový čítač, který může inkrementovat v tempu hodinového signálu. Pokud



Obrázek 9.14: Blokové schéma mikropočítače 8096

jej program včas nevynuluje, pak při přetečení vyvolá RESET a přinutí mikropočítač začít svou činnost znovu. Jeho účelem je vyvést mikropočítač z chybových stavů, do kterých se může dostat následkem případných poruch. Dále mikropočítač obsahuje dva samostatné 16bitové čítače/časovače označené jako C/T0 a C/T1. Čítač/časovač C/T0 je užit pro synchronizaci vnějších událostí v reálném čase, čítač/časovač C/T1 může čítat vnější události, resp. synchronizovat počátek čítání podle vnějších událostí. Přetečení čítačů může vyvolat přerušení. Oba čítače se nejčastěji využívají v souvislosti s rychlými vstupy/výstupy.

Rychlé číslicové vstupy - blok rychlých číslicových vstupů HSI (high speed inputs) je tvořen čtyřmi jednobitovými vstupy, které se využívají k záznamu změn logické úrovně na těchto vstupech do pomocné paměti FIFO 7 x 20 bitů. Každý vstup může pracovat ve čtyřech různých režimech, které jsou určovány řídicím slovem. Rychlé vstupy mohou vyvolat přerušení. Obsah FIFO lze průběžně zpracovávat.

Rychlé číslicové výstupy - jednotka rychlých číslicových výstupů HSO (high speed output) je určena pro spouštění akcí ve zvoleném čase s minimální zadržací procesoru (CPU). Jejich prostřednictvím lze ovládat start A/Č převodu, nulování časovače C/T1, generování dvou přerušení, spínání až 6 výstupních vodičů HSO a nastavení čtyř příznaků. Základem jednotky HSO je blok paměti CAM (content addressable memory) o kapacitě 8 x 23 bitů. Každé 23bitové slovo v paměti CAM obsahuje 16bitovou informaci o čase a 7bitový tvar řídicího slova, které specifikuje typ činnosti a zda údaj času je odvozen z C/T0 nebo C/T1. Paměť CAM je cyklicky čtena, údaj o času se porovnává se stavem čítače a v případě rovnosti se generuje signál na přiděleném výstupu. Výstupy HSO nejsou u všech verzí mikropočítačů této řady.

Analogově číslicový převodník - v některých typech této řady mikropočítačů

je vestavěn osmikanálový 10bitový A/Č převodník. K vývodům Ur_f a ANGND je nutno přivést vnější referenční napětí a analogovou zem. Převod je realizován postupnou aproximací. Na jeho vstup je multiplexován jeden z osmi vstupních signálů z brány P0. Výsledek převodu se ukládá do dvou SFR na adresách 02 a 03.

Číslicově analogový převod - Č/A převod je zajištěn prostřednictvím šířkově modulovaného pulsního výstupu PWM. Modulace je založena na komparaci obsahu registru převáděného čísla s obsahem nezávislého 8bitového čítače. Čítač vždy při přetečení (tj. obsah čítače je roven nule) uvede výstup do stavu log1. Při souhlasu obsahu registru a čítače se naopak výstup nuluje. Šířkově modulovaný výstup lze použít buď přímo k řízení některých typů motorů, nebo po integraci poskytuje stejnosměrný výstup kvantovatelný v 256 úrovních.

Sériový V/V kanál - pro sériový přenos dat je mikropočítač vybaven plně duplexním V/V kanálem, kompatibilním s podobným kanálem v mikropočítači řady MCS 51, případně s obvodem UART 8051.

FFFF0	Vnější pamě nebo V/V	65535
4000H		16384
3FFFFH	Vnitřní pamě ROM 8KB (2000H - 3FFFFH)	16383
2081H		8321
2080H	Reset	8320
207FH	Testovací sekvence	8319
2100H		8208
200FH	Přerušovací vektory	8207
2000H		8192
1FFFFH	Brána P4	8191
1FFFEH	Brána P3	8190
1FFDH	Vnější pamě nebo V/V	8189
0100H		256
0FFH	Pole registrů II (Power down RWM)	255
0F0H		240
0EFH	Pole registrů I	239
01AH		26
019H	SFR	25
0000H		0

Obrázek 9.15: Mapa paměťového prostoru mikropočítače 8096